

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020050005344 A
(43)Date of publication of application: 13.01.2005

(21)Application number: 1020030044394
(22)Date of filing: 01.07.2003

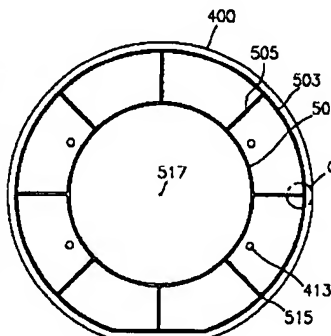
(71)Applicant: ADAPTIVE PLASMA
TECHNOLOGY
CORPORATION
(72)Inventor: KIM, JIN TAI
LEE, KYU HA
PARK, HEE YONG
PARK, KWAN TAE

(51)Int. Cl. H01L 21 /68

(54) ELECTROSTATIC CHUCK WITH COOLING CHANNEL ON SURFACE OF ELECTROSTATIC CHUCK TO IMPROVE CD UNIFORMITY IN WAFER AND INCREASE YIELD OF WAFER

(57) Abstract:

PURPOSE: An electrostatic chuck with a cooling channel on its surface is provided to improve CD (critical dimension) uniformity in a wafer and increase yield of the wafer by minimizing a temperature variation of the wafer mounted on an electrostatic chuck. CONSTITUTION: A wafer is supported by a chuck base. An electrode for supplying a DC voltage for providing electrostatic force to fix the wafer is included in a dielectric layer (400) formed on the chuck base. The first cooling channels(501,503) induce coolant to the dielectric layer to control the temperature of the wafer. The first cooling channels are made of at least two concentric circles formed on the dielectric layer, positioned near the edge of the wafer. The second cooling channels(505) are formed on the dielectric layer to interconnect the first cooling channels. The first penetrating channels(515) penetrate the dielectric layer to supply the coolant to the first and second cooling channels. The second penetrating channels(517) penetrate the center of the dielectric layer to supply the coolant to the center of the wafer.



copyright KIPO 2005

Legal Status

Date of request for an examination (20030701)
Notification date of refusal decision (00000000)
Final disposal of an application (rejection)
Date of final disposal of an application (20050913)

Patent registration number ()
Date of registration (00000000)
Number of opposition against the grant of a patent ()
Date of opposition against the grant of a patent (00000000)
Number of trial against decision to refuse ()
Date of requesting trial against decision to refuse ()

(19)대한민국특허청(KR) (12) 공개특허공보(A)

(51) . Int. Cl.⁷
H01L 21/68

(11) 공개번호 10-2005-0005344
(43) 공개일자 2005년01월13일

(21) 출원번호 10-2003-0044394
(22) 출원일자 2003년07월01일

(71) 출원인 어덱티브프라즈마테크놀로지 주식회사
경기 수원시 영통구 영통동 1

(72) 발명자 박희용
경기도수원시팔달구망포동5-27썩테크노빌2층

김진태
경기도수원시팔달구망포동5-27썩테크노빌2층

이규하
경기도수원시팔달구망포동5-27썩테크노빌2층

박관태
경기도수원시팔달구망포동5-27썩테크노빌2층

(74) 대리인 이영필
이해영

심사청구 : 있음

(54) 표면에 냉각 유로를 구비한 정전척

요약

표면에 냉각 유로를 구비한 정전척을 제공한다. 본 발명의 일 관점은, 웨이퍼를 지지하는 척 베이스(chuck base)와, 웨이퍼를 고정하기 위한 정전기력을 제공하기 위한 직류 전압을 제공하는 전극을 내부에 구비하고 척 베이스 상에 도입되는 유전막, 및 냉각 유로를 구비하는 정전척을 제공한다. 이때, 냉각 유로는 웨이퍼의 온도 제어율 위해 유전막에 냉매를 유도하기 위해 형성되고, 웨이퍼의 가장 자리 쪽에 치우치게 위치하게 상기 유전막 표면에 형성된 적어도 둘 이상의 동심원 형태의 제1냉각 유로들과, 제1냉각 유로들 상호 간을 연결하게 유전막 표면에 형성된 제2냉각 유로들과, 제1 및 제2냉각 유로들에 냉매를 제공하기 위해 유전막을 관통하는 제1관통 유로들, 및 웨이퍼의 중심에 대해 냉매를 제공하기 위해 유전막의 중심을 관통하는 제2관통 유로를 포함하여 구성된다.

대표도

도 3a

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예에 따른 정전척의 개략적인 구성을 설명하기 위해서 개략적으로 도시한 도면이다.

도 2a는 본 발명의 실시예에 의한 정전척을 구성하는 척 베이스를 설명하기 위해서 척 베이스의 앞면을 개략적으로 도시한 평면도이다.

도 2b는 본 발명의 실시예에 의한 정전척을 구성하는 척 베이스를 설명하기 위해서 척 베이스의 뒷면을 개략적으로 도시한 평면도이다.

도 2c는 본 발명의 실시예에 의한 정전척을 구성하는 척 베이스를 설명하기 위해서 개략적으로 도시한 단면도이다.

도 2d는 본 발명의 실시예에 의한 정전척을 구성하는 척 베이스를 설명하기 위해서 도 2b의 A부를 확대 도시한 평면도이다.

도 2e는 도 2b의 B에서의 연결 관계를 설명하기 위해 개략적으로 도시한 단면도이다.

도 2f는 도 2a의 리프트 홀(lift hole)을 설명하기 위해서 개략적으로 도시한 단면도이다.

도 3a 및 도 3b 각각은 본 발명의 실시예에 의한 정전척을 구성하는 시트(sheet) 형태로 부착 압축된 유전막을 설명하기 위해서 개략적으로 도시한 평면도 및 단면도이다.

도 3c는 본 발명의 실시예에 의한 정전척을 구성하는 시트(sheet) 형태로 부착 압축된 유전막을 설명하기 위해서 도 3a의 C부를 확대 도시한 평면도이다.

도 3d는 도 3a의 C부에서의 연결 관계를 설명하기 위해서 개략적으로 도시한 단면도이다.

도 4는 본 발명의 실시예에 의한 냉각 유로의 제1변형예를 설명하기 위해서 개략적으로 도시한 평면도이다.

도 5a는 본 발명의 실시예에 의한 냉각 유로의 제2변형예를 설명하기 위해서 개략적으로 도시한 평면도이다.

도 5b는 도 5a의 E부에 제시된 바를 설명하기 위해서 개략적으로 도시한 단면도이다.

발명의 상세한 설명

발명의 목적

반명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자 제조 장비에 관한 것으로, 특히, 웨이퍼를 지지하고 공정 중에 웨이퍼(wafer)의 후면을 냉각시키는 냉각 유로를 표면에 구비한 정전척(ESC: ElectroStatic Chuck)에 관한 것이다.

현재 반도체 소자를 제조하는 장비, 예컨대, 건식 식각 장비(dry etcher)의 반응실 내에는 공정 중에 반도체 웨이퍼를 지지하기 위해서 정전척이 구비되고 있다. 정전척은 정전기력을 이용하여 웨이퍼를 고정하는 기능을 한다. 이러한 정전척에는 정전기력 또는 정전 흡착력을 발생시키기 위한 구조, 예컨대, 전극과 유전막 등을 표면에 구비하고 있다.

웨이퍼의 공정 수율을 증가시키기 위해서는 공정, 예컨대, 식각 공정 중에 플라즈마(plasma) 등과 반응 중인 웨이퍼의 균일한 온도 제어가 필수적으로 요구되고 있다. 웨이퍼 전체의 온도가 균일하게 유지되지 않은 경우, 식각 공정에서는 웨이퍼 상의 임계 선포(CD: Critical Dimension)의 분포가 열악해지는 불량이 발생하게 된다.

웨이퍼의 균일한 온도 제어를 위해서 정전척의 표면에는 웨이퍼를 냉각시키기 위해 제공되는 냉매, 예컨대, 헬륨(He)의 유로가 구비되고 있다. 이러한 헬륨 유로의 형태에 따라 웨이퍼 전체의 온도 분포가 직접적으로 영향 받게 된다. 따라서, 현재 헬륨 유로의 형태를 개선하여 웨이퍼의 균일한 온도 제어를 구현하고자 하는 다양한 시도들이 제시되고 있다.

한편, 현재 정전기력을 발생시키기 위한 전력을 제공하기 위한 전극 상에는 도입되는 유전막은 유전 물질의 코팅(coating)에 의해서 구현되고 있다. 이러한 코팅에 의한 유전막은 상대적으로 그 두께가 두꺼우므로, 충분한 정전기력을 발생시키기 위해서는 높은 직류 전압을 전극에 인가하여야 한다. 이와 같은 높은 직류 전압의 인가는 웨이퍼 상에 구현되는 반도체 소자(device)에 손상(damage)을 주는 요인으로 작용할 수 있어 공정 수율을 저하시키는 원인으로 작

용할 수 있다.

또한, 이러한 경우 정전척의 가장 자리 부위에서 아킹(arcing)에 의해 양극 산화(anodizing) 피막이 벗겨지는 불량이 용이하게 발생할 수 있으며, 이에 따라, 정전척 자체의 수명이 단축되는 원하지 않는 현상이 다수 발생할 수 있다. 또한, 이에 의해 반응실 내에 불순물이 발생할 수 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 정전척에 장착되는 웨이퍼의 온도 편차를 최소화하여, 웨이퍼 내의 CD 균일도를 개선할 수 있어 웨이퍼의 공정 수율을 증가시킬 수 있는 냉각 유로를 구비하는 정전척을 제공하는 데 있다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 본 발명의 일 관점은, 웨이퍼를 지지하는 척 베이스(chuck base)와, 상기 웨이퍼를 고정하기 위한 정전기력을 제공하기 위한 직류 전압을 제공하는 전극을 내부에 구비하고 상기 척 베이스 상에 도입되는 유전막, 및 상기 웨이퍼의 온도 제어를 위해 상기 유전막에 냉매를 유도하기 위해 형성되고, 상기 웨이퍼의 가장 자리 쪽에 치우치게 위치하게 상기 유전막 표면에 형성된 적어도 둘 이상의 동심원 형태의 제1냉각 유로들과, 상기 제1냉각 유로들 상호 간을 연결하게 상기 유전막 표면에 형성된 제2냉각 유로들과, 상기 제1 및 제2냉각 유로들에 상기 냉매를 제공하기 위해 상기 유전막을 관통하는 제1관통 유로들, 및 상기 웨이퍼의 중심에 대해 상기 냉매를 제공하기 위해 상기 유전막의 중심을 관통하는 제2관통 유로를 포함하여 구성되는 냉각 유로를 포함하는 구성되는 정전척을 제공한다.

상기 유전막은 유전체 시트들과 유전체 시트들 사이에 상기 전극이 적층된 유전체 시트로서 상기 척 베이스 상에 부착 및 압축된 것일 수 있다.

상기 제1냉각 유로들 중 상기 유전막의 중심에 가까운 제1냉각 유로는 많아야 상기 웨이퍼의 지름의 1/4 이하의 길이만큼 상기 유전막 테두리로부터 들어온 위치에 위치할 수 있다.

상기 제2냉각 유로들은 적어도 8개 도입되고, 각각의 제2냉각 유로와 상기 제1냉각 유로들 중 최외측의 제1냉각 유로가 만나는 지점 인근의 상기 제2냉각 유로에 상기 제2냉각 유로와 동수의 상기 제1관통 유로들이 각각 연결될 수 있다.

본 발명에 따르면, 정전척에 장착되는 웨이퍼의 온도 편차를 최소화하여, 웨이퍼 내의 CD 균일도를 개선할 수 있다. 이에 따라, 웨이퍼의 공정 수율을 크게 증가시킬 수 있는 냉각 유로를 구비하는 정전척을 제공할 수 있다.

이하, 첨부 도면을 참조하여 본 발명의 실시예를 상세히 설명한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안된다. 본 발명의 실시예들은 당업제에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 따라서, 도면에서의 요소의 형상 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것이며, 도면 상에서 동일한 부호로 표시된 요소는 동일한 요소를 의미한다. 또한, 어떤 층이 다른 층 '상'에 있다고 기재되는 경우에, 상기 어떤 층은 상기 다른 층 또는 반도체 기판에 직접 접촉하여 존재할 수 있고, 또는, 그 사이에 제3의 층이 개재되어질 수 있다.

본 발명의 실시예들에서는 공정이 수행될 때 정전척에 장착되는 웨이퍼의 온도 제어를 위해서, 정전척의 유전막 표면에 상기 웨이퍼의 가장 자리에 치우치게 위치하는 적어도 둘 이상의 동심원 형태의 냉각 유로들을 도입한 정전척을 제공한다. 이와 같은 형태의 냉각 유로의 도입에 의해서 정전척에 장착되어, 건식 식각 등의 반도체 소자 제조 공정이 웨이퍼 상에 수행될 때 웨이퍼의 온도 제어를 보다 균일하게 할 수 있다. 이에 따라, 웨이퍼 전체적으로 CD 균일도를 크게 개선할 수 있다.

도 1 내지 도 5b는 본 발명의 실시예에 의한 정전척을 설명하기 위해서 개략적으로 도시한 도면들이다.

도 1은 본 발명의 실시예에 따른 정전척의 개략적인 구성을 설명하기 위해서 개략적으로 도시한 도면이다.

도 1을 참조하면, 본 발명의 실시예에 따른 정전척은 식각 공정 등이 수행될 웨이퍼(100)를 지지할 척 베이스(chuck base:200)를 포함하여 구성된다. 척 베이스(200)의 하측에는 척 베이스(200)를 지지하는 다른 척 몸체(도시되지 않음) 등이 구성될 수도 있다.

이러한 칩 베이스(200) 상에는 유전막(400)이 도입된다. 유전막(400)은 일반적으로 양극 산화(anodizing) 등에 의해 형성될 수 있으나, 본 발명의 실시예에서는 별도로 시트(sheet) 형태로 제작된 유전체 시트를 칩 베이스(200) 상에 부착 압축하여 형성한다. 이때, 유전체 시트는 유전체 제1시트(401)와 제2시트(402)가 적층된 형태로 형성될 수 있다. 더 많은 수의 시트들이 더 적층된 상태일 수도 있다.

이때, 유전체 제1시트(401)와 제2시트(402) 사이에는 박막 전극(300)이 도입된다. 이에 따라, 유전막(400)의 내부에 전극(300)이 구비되게 된다. 전극(300)은 구리(Cu), 알루미늄(Al) 또는 몰리브덴(Mo) 등과 같은 도전 금속 물질로 형성될 수 있으며, 유전체 제1시트(401) 상에 이러한 도전 물질을 코팅함으로써 구현될 수 있다.

이와 같이 유전막(400)을 유전체 시트의 부착 및 압축으로 형성할 경우, 유전체 시트를 우수한 유전 특성을 가지는 유전 물질로 형성하는 것이 가능하며, 보다 뛰어난 유전 특성을 구현할 수 있다. 또한, 유전체 시트를 부착 압축하여 유전막(400)을 형성할 경우, 유전막(400)의 전체 두께, 특히, 전극(300)과 웨이퍼(100) 사이의 유전체 제2시트(402)의 두께를 매우 균일하고도 얇게 구현할 수 있다. 이에 따라, 전극(300)에 보다 낮은 직류 전압(V)을 인가하더라도 충분한 정전 흡착력을 발생시키는 것이 가능해진다.

실질적으로, 유전막(400)의 두께를 대략 1.3mm 정도 두께로 구비할 경우, 유전체 제1시트(401)는 대략 0.7mm로 상대적으로 두껍게 형성되어도 무방하나, 유전체 제2시트(402)는 대략 0.3mm의 매우 얇은 두께로 형성되게 된다. 이에 따라, 실질적으로 전극(300)의 두께는 대략 0.3mm 정도이게 된다.

한편, 보다 낮은 직류 전압(V)을 인가하는 것은 결국 아킹의 발생 가능성을 줄이는 효과를 구현하고, 또한, 이러한 아킹에 의해서 유전막(400)이 절연 파괴되거나 양극 산화 피막 등이 벗겨져 정전척의 수명이 감소하거나, 이에 따라 불순물이 반응실 내에 다수 발생하는 등의 불량을 효과적으로 방지할 수 있다.

또한, 낮은 직류 전압(V)의 인가는 유전체 제2시트(402)에 대전 축적되는 전하량을 줄이는 효과를 구현하므로, 웨이퍼(100)를 칩 베이스(200)로부터 보다 원활하게 이탈시키는 것이 가능하다. 즉, 웨이퍼(100) 분리 시 대전되었던 전하들이 신속하게 충전하(net charge)가 0으로 되어 웨이퍼(100) 슬라이딩(sliding)이나 손상없이 분리가 진행되는 것이 가능하게 된다.

낮은 직류 전압의 인가는 웨이퍼(100) 분리 시에 반응실 내의 낮은 압력, 예컨대, 수 mTorr의 낮은 압력 하에서 발생할 수 있는 스파크(spark) 방전을 방지하는 매우 유효하다.

한편, 이러한 정전척에서 유전막(400)의 표면에는 웨이퍼(100)의 냉각을 위한 냉각 유로(500)가 구현될 수 있다. 이러한 냉각 유로(500)는 이후에 자세히 설명하지만, 웨이퍼(100)의 뒷면에 헬륨(He)을 냉매로 제공하여 웨이퍼(100)를 냉각시킴으로써 웨이퍼(100)의 온도를 제어하게 된다. 현재까지 사용되어 온 냉각 유로의 형태는 웨이퍼의 중앙부와 가장 자리의 온도 차이를 야기하고 있어, 온도 차이에 의한 소자의 CD 제어가 어려웠다. 웨이퍼(100) 전체에 걸쳐 균일한 온도 분포를 구현, 즉, 온도 편차를 최소화하기 위해서 본 발명에서는 새로운 형태의 냉각 유로(500)의 구성을 제시한다.

한편, 도 1에서는 상세히 제시되지 않았으나, 유전막(400)의 표면에 형성되는 냉각 유로(500)에 냉매인 헬륨을 제공하는 통로는 칩 베이스(200)로부터 냉각 유로(500)에 다다른 관통홀(through hole: 도시되지 않음) 등에 의해서 구성된다. 그러나, 실제 웨이퍼(100)의 온도 제어는 유전막(400) 표면에 형성된 냉각 유로(500)의 형태에 크게 의존하므로, 냉각 유로(500)에 대해서 도면들을 인용하여 상세하게 설명한다.

도 2a 내지 도 2e는 본 발명의 실시예에 의한 정전척을 구성하는 칩 베이스를 설명하기 위해서 개략적으로 도시한 도면들이다. 도 3a 내지 도 3d는 본 발명의 실시예에 의한 정전척을 구성하는 시트 형태로 부착 압축된 유전막을 설명하기 위해서 개략적으로 도시한 도면들이다.

구체적으로, 도 2a는 본 발명의 실시예에 의한 정전척을 구성하는 칩 베이스를 설명하기 위해서 칩 베이스의 앞면을 개략적으로 도시한 평면도이다. 도 2b는 본 발명의 실시예에 의한 정전척을 구성하는 칩 베이스를 설명하기 위해서 칩 베이스의 뒷면을 개략적으로 도시한 평면도이다. 도 2c는 본 발명의 실시예에 의한 정전척을 구성하는 칩 베이스를 설명하기 위해서 개략적으로 도시한 단면도이다. 도 2d는 도 2b의 A부를 확대 도시한 평면도이다. 도 2e는 도 2b의 B에서의 연결 관계를 설명하기 위해 개략적으로 도시한 단면도이다. 도 2f는 도 2a의 리프트 홀을 설명하기 위해서 개략적으로 도시한 단면도이다.

그리고, 도 3a 및 도 3b는 본 발명의 실시예에 의한 정전척을 구성하는 시트 형태로 부착 압축된 유전막을 설명하기 위해서 개략적으로 도시한 평면도 및 단면도이다. 도 3c는 도 3a의 C부를 확대 도시한 평면도이고, 도 3d는 도 3a의 C부에서의 연결 관계를 설명하기 위해서 개략적으로 도시한 단면도이다.

먼저, 도 2a 내지 도 2f를 참조하면, 칩 베이스(200)는 알루미늄으로 형성되며, 웨이퍼(100)에 대향할 면인 앞면(210)과 가장자리부(230)가 도 2a의 평면도 및 도 2c의 단면도에 제시된 바와 같이 턱이 지게 형성된다. 칩 베이스(200)의 앞면(210)은 웨이퍼(100)의 형태를 따라 그 가장자리가 형상 지워진다. 이때, 칩 베이스(200)의 앞면(210)의 폭은 웨이퍼(100)의 폭보다 다소 좁게 구비된다. 예를 들어, 200mm 지름 웨이퍼(100)의 경우 앞면(210)의 지름은 대략 196.1mm로 구현된다.

가장자리부(230)에는 칩 베이스(200)의 고정 수단, 예컨대, 볼트(bolt)를 위한 관통홀(231)이 다수 구비된다. 이때, 가장자리부(230) 전체는 양극 산화 처리를 거쳐 절연 피막이 덮이도록 한다. 그러나, 칩 베이스(200)의 앞면(210)은 베어(bare) 상태로 유지된다. 이러한 앞면(210)에 도 3a 내지 도 3d에 제시된 바와 같은 유전막(400)이 부착 및 압축된다.

한편, 도 2a 및 도 2b의 평면도와 도 2c의 단면도에 제시된 바와 같이 칩 베이스(200)에는 다수의 관통홀들이 구비된다. 먼저, 유전막(400) 내부에 도입되는 전극(300)에 직류 전압을 제공할 인입 도선(도시되지 않음)을 위한 전원 연결용 관통홀(211)이 구비된다. 또한, 웨이퍼(100)의 분리를 위한 리프트 핀(lift pin:도시되지 않음)을 위한 리프트 홀(lift hole:213)이 구비된다. 이때, 리프트 홀(213)은 4핀 리프터(4pin lifter)를 위해 4개가 도입된다.

도 2f를 참조하면, 리프트 홀(213)에는 부수적인 에어홀(air hole:203)이 연결된다. 에어홀(203)은 칩 베이스(200)를 관통하여 리프트 홀(213)에 연결되는 관통홀로 웨이퍼(100)의 업-다운(up-down) 시에 에어(air)의 충만에 의해 리프트 핀의 작동이 원활하지 않은 문제를 해결할 수 있다. 즉, 에어의 소통을 원활히 해 줌으로써, 리프트 핀의 작동을 원활하게 하여 웨이퍼(100)의 업-다운이 원활하게 이루어지도록 유도한다.

다시 도 2a 및 도 2b의 평면도와 도 2c의 단면도를 참조하면, 유전막(400) 표면에 형성될 냉각 유로(500)에 냉매인 헬륨을 공급하기 위한 제1공급용 관통홀(215)이 다수 개, 예컨대, 8개 형성된다. 후에 다시 설명하지만, 이러한 제1공급용 관통홀(215)은 유전막(500)에 형성되는 제1관통 유로에 정렬되게 형성된다. 이때, 제1공급용 관통홀(215)들은 웨이퍼(100)를 기준으로 고려할 때, 웨이퍼(100)의 가장자리에 치우친 위치에 대응하는 칩 베이스(200) 상의 위치에 동심원을 이루도록 다수 개가 형성된다. 한편, 웨이퍼(100)를 기준으로 고려할 때, 웨이퍼(100)의 중심부에 대응하는 칩 베이스(200) 상의 위치에 제2공급용 관통홀(217)을 구비한다. 후에 다시 설명하지만, 이러한 제2공급용 관통홀(217)은 유전막(500)에 형성되는 제2관통 유로에 정렬되게 형성된다.

도 2b의 평면도 및 도 2c의 단면도를 참조하면, 칩 베이스(200)의 후면(250)에는 상기한 제1공급용 관통홀(215)과 제2공급용 관통홀(217)에 냉매인 헬륨을 동시에 분배하여 공급할 수 있도록 분배 유로(251)가 그루브(groove) 형태로 형성된다. 이러한 분배 유로(251)는 도 2b에 도시된 바와 같이 서로 중앙에서 겹치는 방사선형 형태의 그루브로 형성된다.

이러한 분배 유로(251)의 중앙의 겹치는 부분에는 도 2b의 A 부분을 확대 도시한 도 2d에 제시된 바와 같이 제2공급 관통홀(217)이 연결된다. 또한, 분배 유로(251)의 끝단에는 제1공급 관통홀(215)이 연결된다.

이와 같은 분배 유로(251)에 의해서 제1공급 관통홀(215)과 제2공급 관통홀(217)로는 헬륨이 동시에 제공되게 된다.

도 3a 내지 도 3d를 참조하면, 유전막(400)은 시트 형태로 그 내부에 전극(300)이 구비되게 적층되게 형성된다. 유전막(400)은 도 3a에 제시된 바와 같이 칩 베이스(200)의 형상을 따라 그 형상이 구현된다. 그리고, 칩 베이스(200)에 형성된 리프트 홀(213)에 정렬되어 리프트 핀이 도입되는 유전막(400)의 리프트 홀(413)이 구비된다. 4핀 리프터의 경우 4개의 리프트 홀(413)들이 관통홀로 구비된다.

웨이퍼(100)의 온도 제어, 즉, 냉각을 위해서 유전막(400)의 상측 표면에는 냉각 유로(500)가 형성된다. 이러한 냉각 유로(500)는 상기 웨이퍼(100)의 가장자리 부분에 치우친 위치에 대응되는 유전막(400) 상의 위치에 적어도 둘 이상의 동심원 형태의 제1냉각 유로들(501, 503)들이 그루브 형태로 구비된다. 그리고, 제1냉각 유로들(501, 503) 상호 간을 연결하게 방사선 형태의 제2냉각 유로들(505) 형성된다. 이때, 유전막(400) 전체의 두께는 대략 1.3mm에 불과하므로, 제1냉각 유로들(501, 503) 또는/ 및 제2냉각 유로들(505)은 각각 대략 0.1mm 정도 깊이와 대략 1mm 폭의 그루브로서 형성된다.

제1 및 제2냉각 유로들(501, 503 및 505)에 냉매인 헬륨을 공급하기 위해 유전막(400)을 관통하는 제1관통 유로(515)들이 구비된다. 제1관통 유로(515)는 칩 베이스(200)에 구비된 제1공급 관통홀(215)에 정렬되는 위치에 구비된다. 한편, 웨이퍼(100)의 중심에 대응하는 유전막(400)의 위치에 제2관통 유로(517)가 냉매인 헬륨을 웨이퍼(100)의 뒷면에 분사하기 위해서 구비된다. 이때, 제1 및 제2관통 유로(515, 517) 등은 대략 0.5mm의 지름으로 구비된다.

이와 같이 구성되는 냉각 유로(500)는 동심원 형태의 제1 및 제2냉각 유로들(501, 505)들은 웨이퍼(100)를 기준으로 할 때 웨이퍼(100)의 가장자리 쪽에 치우치게 구비된다. 즉, 냉매가 도달할 수 있는 부분의 분포가 웨이퍼(100)의 가

장 자리 부분이 웨이퍼(100)의 중심 부분 보다 상대적으로 많도록 냉각 유로(500)를 구성한다. 특히, 웨이퍼(100)의 중심 부분에는 단지 제2관통 유로(517)에서 분사되는 냉매인 헬륨만이 다다를 수 있게 냉각 유로(500)를 구성한다. 따라서, 실질적으로 웨이퍼(100) 중심 부분에는 동심원 형태의 제1냉각 유로들(501, 503)이나 연결 유로인 제2냉각 유로들(505)은 연장되지 않는다.

예를 들어, 제1냉각 유로들(501, 503) 중 내측에 위치하는 냉각 유로(501)가 많아야 웨이퍼(100)의 테두리로부터 웨이퍼(100) 지름의 1/4 이하의 거리 안에 위치하도록 냉각 유로(500)를 구성한다. 예를 들어, 웨이퍼(100)가 200mm 구경일 경우, 내측 제1냉각 유로(501)는 웨이퍼(100) 테두리로부터 또는 유전막(400)의 테두리로부터 대략 38mm 정도 들어온 위치에 구비될 수 있다. 이러한 제1냉각 유로(501)의 위치는 실질적으로 리프트 홀(413)에 인근하는 위치이거나 또는 리프트 홀(413) 보다 더 유전막(400) 또는 웨이퍼(100)의 테두리에 가까운 위치이게 된다.

이와 같이 냉각 유로(500)를 웨이퍼(100)의 가장자리 쪽에 치우치게 구성하면, 웨이퍼(100)의 가장자리 부분에 대한 온도 제어를 보다 효과적으로 수행할 수 있다. 건식 식각 공정 등을 수행할 때 웨이퍼(100)의 중심 부분 보다는 가장자리 부분에서의 온도 편차가 극심한 것이 일반적이다. 그러나, 본 발명에서는 웨이퍼(100) 가장자리에 대응되는 유전막(400) 부분에 헬륨이 흐를 냉각 유로들(501, 503, 505)을 집중적으로, 편중되게 배치함으로써, 이러한 온도 편차가 발생하는 것을 효과적으로 방지할 수 있다.

한편, 제2관통 유로(517)와 제1관통 유로들(515)에는 헬륨 분사가 동시에 이루어질 수 있다. 이는 도 2b를 참조하여 설명한 바와 같이 척 베이스(200)의 후면(250)에 분배 유로(251)를 구비함에 따라 가능하다.

본 발명의 실시예에 따른 냉각 유로(500)의 형태는 다양하게 변형될 수 있다. 그럼에도 불구하고, 웨이퍼의 가장자리 쪽에 치우친 위치에 동심원 형태의 냉각 유로들 및 연결 유로들이 형성되는 것은 동일하다.

제1변형예

도 4는 본 발명의 실시예에 의한 냉각 유로의 제1변형예를 설명하기 위해서 개략적으로 도시한 평면도이다.

도 4를 참조하면, 도 3a에 제시된 바와 같은 본 발명의 실시예에 의한 제1냉각 유로들(501, 503)은 그 위치를 변형할 수 있다. 즉, 도 4에 제시된 바와 같이 내측 제1냉각 유로(501')의 위치를 리프트 홀(413)의 위치 보다 바깥쪽, 즉, 유전막(400)의 테두리나 웨이퍼(100)의 테두리를 기준으로 할 때, 유전막(400)의 테두리 또는 웨이퍼(100)의 테두리에 더 가깝게 구비될 수 있다. 예를 들어, 유전막(400)의 테두리에서 대략 22mm 정도 들어온 위치에 내측 제1냉각 유로(501')가 구비될 수 있다.

제2변형예

도 5a는 본 발명의 실시예에 의한 냉각 유로의 제2변형예를 설명하기 위해서 개략적으로 도시한 평면도이다. 도 5b는 도 5a의 E부에 제시된 바를 설명하기 위해서 개략적으로 도시한 단면도이다.

도 5a 및 도 5b를 참조하면, 도 3a에 제시된 바와 같은 본 발명의 실시예에 의한 제1냉각 유로들(501, 503) 중 외측 냉각 유로(503)의 위치를 보다 유전막(400)의 테두리에 최대한 가깝게 변경할 수 있다. 즉, 도 4에 제시된 바와 같이 외측 제1냉각 유로(503')를 유전막(400)의 테두리에서 대략 1mm 정도 떨어진 위치 또는 그 이하로 떨어진 위치에 구비한다. 이러한 위치는 실질적으로 웨이퍼(100)에는 소자가 형성되지 않는 부분, 일반적으로 웨이퍼 테두리에서 대략 3mm 폭에 해당되는 부분이다. 이러한 부분, 즉, 에지 배제부(edge exclusion part)에 외측 냉각 유로(503')를 구비함으로써 온도 제어를 보다 효과적으로 구현할 수 있다.

이상, 본 발명을 구체적인 실시예를 통하여 상세히 설명하였으나, 본 발명은 이에 한정되지 않고, 본 발명의 기술적 사상 내에서 당 분야의 통상의 지식을 가진 자에 의해 그 변형이나 개량이 가능함이 명백하다.

발명의 효과

상술한 본 발명에 따르면, 냉매로서 헬륨을 흘려줄 냉각 유로를 웨이퍼의 가장자리 쪽에 치우치게 편중되게 구성함으로써, 웨이퍼의 가장자리 부분에 대한 온도 제어를 보다 효과적으로 수행할 수 있다. 건식 식각 공정 등을 수행할 때 웨이퍼의 중심 부분 보다는 가장자리 부분에서의 온도 편차가 극심한 것이 일반적이지만, 본 발명에서는 이를 보상하여 이러한 온도 편차가 발생하는 것을 효과적으로 방지할 수 있다.

또한, 본 발명의 실시예에서는 유전체 시트의 부착 및 압축으로 유전막을 구비함으로써, 유전체 시트층 우수한 유전 특성을 가지는 유전 물질로 형성하는 것이 가능하여, 보다 뛰어난 유전 특성을 구현할 수 있다. 전극과 웨이퍼 사이의

유전체 제2시트의 두께를 매우 균일하고도 얇게 구현할 수 있다. 이에 따라, 전극에 보다 낮은 직류 전압(V)을 인가하더라도 충분한 정전 흡착력을 발생시키는 것이 가능해진다. 이에 따라, 아킹 등에 의한 정전척 또는 웨이퍼에의 손상 발생을 방지할 수 있고, 정전척의 수명을 크게 늘릴 수 있으며, 웨이퍼의 공정 수율을 크게 증가시킬 수 있다.

(57) 청구의 범위

청구항 1.

웨이퍼를 지지하는 척 베이스(chuck base);

상기 웨이퍼를 고정하기 위한 정전기력을 제공하기 위한 직류 전압을 제공하는 전극을 내부에 구비하고 상기 척 베이스 상에 도입되는 유전막; 및

상기 웨이퍼의 온도 제어를 위해 상기 유전막에 냉매를 유도하기 위해 형성되고,

상기 웨이퍼의 가장자리 쪽에 치우치게 위치하게 상기 유전막 표면에 형성된 적어도 둘 이상의 동심원 형태의 제1냉각 유로들,

상기 제1냉각 유로들 상호 간을 연결하게 상기 유전막 표면에 형성된 제2냉각 유로들,

상기 제1 및 제2냉각 유로들에 상기 냉매를 제공하기 위해 상기 유전막을 관통하는 제1관통 유로들, 및

상기 웨이퍼의 중심에 대해 상기 냉매를 제공하기 위해 상기 유전막의 중심을 관통하는 제2관통 유로를 포함하는 냉각 유로를 포함하는 것을 특징으로 하는 정전척.

청구항 2.

제1항에 있어서,

상기 유전막은 유전체 시트들과 유전체 시트들 사이에 상기 전극이 적층된 유전체 시트로서 상기 척 베이스 상에 부착 및 압축된 것을 특징으로 하는 정전척.

청구항 3.

제1항에 있어서,

상기 제1냉각 유로들 중 상기 유전막의 중심에 가까운 제1냉각 유로는 많아야 상기 웨이퍼의 지름의 1/4 이하의 길이만큼 상기 유전막 테두리로부터 들어온 위치에 위치하는 것을 특징으로 하는 정전척.

청구항 4.

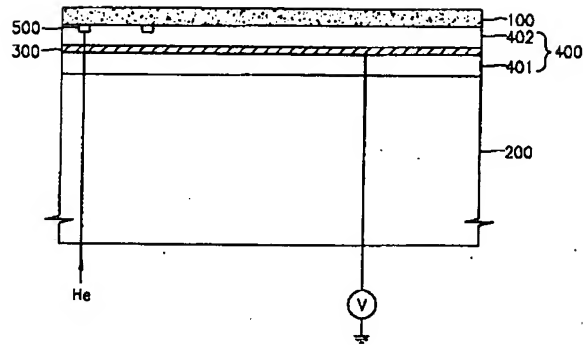
제1항에 있어서,

상기 제2냉각 유로들은 적어도 8개 도입되고

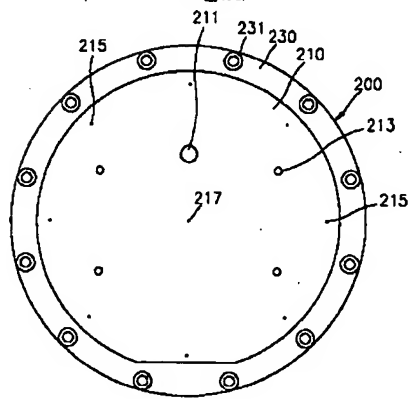
각각의 제2냉각 유로와 상기 제1냉각 유로들 중 최외측의 제1냉각 유로가 만나는 지점 인근의 상기 제2냉각 유로에 상기 제2냉각 유로와 동수의 상기 제1관통 유로들이 각각 연결되는 것을 특징으로 하는 정전척.

도면

도면1



도면2a



도면2b

